

Requested Patent: JP58195345A
Title: LINE ADAPTOR ;
Abstracted Patent: JP58195345 ;
Publication Date: 1983-11-14 ;
Inventor(s): FURUYA TAI ;
Applicant(s): NIPPON DENKI KK ;
Application Number: JP19820077817 19820510 ;
Priority Number(s): ;
IPC Classification: H04L13/00; G06F3/04 ;
Equivalents: ;

ABSTRACT:

PURPOSE: To reduce the load required for the formation of transmission control program and the hardware, by detecting the stop of program to a line of itself and restarting the program, therefore accommodating lines in mixture for the different transmission control procedure and communication speed.

CONSTITUTION: A line adaptor LA' contains a buffer register, a shift register and a restart request circuit 111. When a timeout signal 206 is generated on the way of the transmission control program, a timeout detection circuit 207 detects whether or not it is the timeout to the line of itself, a transmission timeout signal 205 is transmitted, an FF 204 is set, and a program restart request signal 203 at the transmission side being the output of the FF 204 outputs a program execution request signal 201 at the transmission side to a communication control section CPC again. Further, the CPU stops the program of the said line once at the same time when the signal 206 is generated, and the processing is transferred to the program processing of the line when the request of execution from the line having higher priority than the said line exists, and the program of the said line is restarted with a request signal 201 after the end of the processing.

SVL920030119 USL

⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58—195345

⑤ Int. Cl.³

H 04 L 13/00

G 06 F 3/04

識別記号

庁内整理番号

7240—5K

7230—5B

⑬ 公開 昭和58年(1983)11月14日

発明の数 1

審査請求 未請求

(全 5 頁)

⑭ 回線アダプタ

東京都港区芝五丁目33番1号日

本電気株式会社内

⑯ 特 願 昭57—77817

⑰ 出 願 人 日本電気株式会社

⑱ 出 願 昭57(1982)5月10日

東京都港区芝5丁目33番1号

⑲ 発 明 者 古谷 岱

⑳ 代 理 人 弁理士 内原晋

明 細 書

発明の名称

回線アダプタ

特許請求の範囲

送信側プログラム実行要求信号にตอบสนองして通信制御部から伝送制御プログラムに従って出力された並列送信データを受信する送信バッファレジスタと、前記並列送信データを格納し直列にシフトアウトして回線に回線送信データを出力するとともに前記回線送出データを送出し終ったときに送信側プログラム実行開始要求信号を出力する送信側シフトレジスタと、前記回線から回線受信直列データをシフトインして受信する受信側シフトレジスタと、並列受信データを構成する前記回線受信直列データが受信されたときに受信側プログラム実行開始要求信号を出力するとともに受信側プログラム実行要求信号にตอบสนองして前記通信制御部で前記伝送制御プログラムに従って受信される前

記並列受信データを出力する受信バッファレジスタと、前記送信側プログラム実行開始要求信号および送信のための前記伝送制御プログラムが中断されタイムアウト信号が供給されたときに再開が指示されているときに発生する送信側プログラム再開要求信号のいずれかが供給されたときに前記送信側プログラム実行要求信号を出し前記受信側プログラム実行開始要求信号および受信のための前記伝送制御プログラムが中断され前記タイムアウト信号が供給されたときに再開が指示されているときに発生する受信側プログラム再開要求信号のいずれかが供給されたときに前記受信側プログラム実行要求信号を出力する再起動要求回路を含むことを特徴とする回線アダプタ。

発明の詳細な説明

本発明は回線アダプタ、特に、通信制御部との間で授受したデータを回線との間で授受するための回線アダプタに関する。

従来の回線アダプタは、送信側プログラム実行

開始要求信号に回答して通信制御部から伝送制御プログラムに従って出力された並列送信データを受信する送信バッファレジスタと、前記並列送信データを格納し直列にシフトアウトして回線に回線送出データを出力するとともに前記回線送出データを送出し終ったときに前記送信側プログラム実行開始要求信号を出力する送信側シフトレジスタと、前記回線から回線受信直列データをシフトインして受信する受信側シフトレジスタと、並列受信データを構成する前記回線受信直列データが受信されたときに受信側プログラム実行開始要求信号を出力するとともに前記受信側プログラム実行開始要求信号に回答して前記通信制御部で前記伝送制御プログラムに従って受信される前記並列受信データを出力する受信バッファレジスタとを含んで構成される。

次に、従来の回線アダプタについて、図面を参照して説明する。

第1図は従来の回線アダプタの一例を含むシステム構成図であり、プログラム制御型通信制御装

に並列送信データ101が格納されると、送信側プログラム実行開始要求信号102は消失してしまう。しかし、このとき、通信制御部CPUで走行している伝送制御プログラムは処理が全て完了した訳ではない。

受信側においても、回線受信直列データ106が受信側シフトレジスタ107にシフトインされ1キャラクタ受信すると、受信バッファレジスタ108に格納される。このとき、受信側プログラム実行開始要求信号109が出て受信処理を行かう伝送制御プログラムが走行を開始するが、受信バッファレジスタ108から並列受信データ110を引さ取ると、受信側プログラム実行開始要求信号109はプログラム開始要求をやめてしまう。しかし、このとき、受信側のプログラム処理が全て完了した訳ではない。

以上のように、従来の回線アダプタは送/受信データが通信制御部CPUと回線アダプタLAとの間で受渡しを完了すると、送信側プログラム実行開始要求信号102および受信側プログラム実行

側の回線アダプタとして用いるものである。

第1図に示す回線アダプタLAは通信制御部CPUと接続されている。

101は並列送信データ、102は送信側プログラム実行開始要求信号、103は送信バッファレジスタ、104は送信側シフトレジスタ、105は回線送出データ、106は回線受信直列データ、107は受信側シフトレジスタ、108は受信バッファレジスタ、109は受信側プログラム実行開始要求信号、110は並列受信データである。

第1図において、送信側プログラム実行開始要求信号102は送信バッファレジスタ103が空の時出力される。また、送信側シフトレジスタ104は回線送出データ105として並列送信データ101をシフトアウト完了すると、送信バッファレジスタ103から送信側シフトレジスタ104に移される。

従って、送信側プログラム実行開始要求信号102でプログラムの処理が開始され、プログラムのサービスにより送信バッファレジスタ103

行開始要求信号109はリセットされてしまうため、通信制御部CPUのクロック計数回路による時分割処理が不可能であった。

このため、プログラムの処理は完了した時点で他の回線処理に移るため、処理が単純で走行ステップの少ない高速回線と処理が複雑で走行ステップの多い低速回線の回線アダプタを混在収容した場合、高速回線の処理が遅延され誤りを生ずるという欠点があった。

これを是正するために、低速回線の伝送制御プログラムを作成するときに、高速回線に悪い影響を与えないように、伝送制御プログラムで連続して実行される命令の連続実行数を制限したり、または高速回線と低速回線とを各々別の通信制御部CPUに収容する等プログラム作成上の制限およびシステム設計上の配線等によるハードウェア量の増大をきたすという欠点があった。

すなわち、従来の回線アダプタは時分割処理ができないという欠点があった。

本発明の目的は時分割処理ができる回線アダプ

タを提供することにある。

すなわち、本発明の目的は、自己の回線に対するプログラムの停止の検出および再起動を可能とすることにより、異種伝送制御手順および異種通信速度の回線の混在収容を可能にし、伝送制御プログラム作成の負荷軽減およびシステムハードウェア量を減少できる回線アダプタを提供することにある。

本発明の回線アダプタは、送信側プログラム実行要求信号に回答して通信制御部から伝送制御プログラムに従って出力された並列送信データを受信する送信バッファレジスタと、前記並列送信データを格納し直列にシフトアウトして回線に回線送信データを出力するとともに前記回線送出データを送出し終ったときに送信側プログラム実行開始要求信号を出力する送信側シフトレジスタと、前記回線から回線受信直列データをシフトインして受信する受信側シフトレジスタと、並列受信データを構成する前記回線受信直列データが受信されたときに受信側プログラム実行開始要求信号を

出力するとともに受信側プログラム実行要求信号に回答して前記通信制御部で前記伝送制御プログラムに従って受信される前記並列受信データを出力する受信バッファレジスタと、前記送信側プログラム実行開始要求信号および送信のための前記伝送制御プログラムが中断されタイムアウト信号が供給されたときに再開が指示されているときに発生する送信側プログラム再開要求信号のいずれかが供給されたときに前記送信側プログラム実行要求信号を出力し前記受信側プログラム実行開始要求信号および受信のための前記伝送制御プログラムが中断され前記タイムアウト信号が供給されたときに再開が指示されているときに発生する受信側プログラム再開要求信号のいずれかが供給されたときに前記受信側プログラム実行要求信号を出力する再起動要求回路とを含んで構成される。

すなわち、本発明の回線アダプタは、回線制御ワードおよび伝送制御プログラムを格納するメモリならびに該プログラムを読み出し実行しデータの送受信制御を行う演算処理回路ならびにクロッ

ク計数回路を有する通信制御部と接続され前記クロック計数回路によるタイムアウトを検出する回路と、このタイムアウト検出による通信制御部にプログラムの再実行開始を要求する回路と、通常の送信データの並直列変換、受信データの直並列変換の機能を有する回路とを含み、該回線のプログラムが該回線アダプタのプログラム開始要求によりプログラムが開始する時点からクロック計数回路がスタートし、タイムアウトになると、該回線のプログラム処理が途中で、他の回線処理の為一時中断し、他の回線処理に移るが、該回線のプログラム処理の再実行を必要とする為、該回線アダプタが該回線のタイムアウトを検出するとプログラムの再実行開始要求をセットし、他回線の処理終了後に当該回線のプログラム実行再開を可能ならしめるように構成される。

すなわち、本発明の回線アダプタは、クロック計数回路と該回路によるタイムアウト信号を有する通信制御部において直並列変換回路、並直列変換回路、タイムアウト検出回路及び該タイムアウ

ト検出による通信制御部に対してプログラムの再起動要求回路を有して構成される。

次に、本発明の実施例について図面を参照して、詳細に説明する。

第2図は本発明の一実施例を含むシステム構成図である。

第2図に示す回線アダプタ1A'は通信制御部J・D・Jとデータの送受を行なうもので、この回線アダプタ1A'は、送信バッファレジスタ103と、受信側シフトレジスタ104と、送信側シフトレジスタ107と、受信バッファレジスタ108と再起動要求回路111とを含んでいる。

ここで、再起動要求回路111は、一例を第3図に詳細を示すように、タイムアウト検出回路207と、フリップフロップ204、210と、オア回路202、212とを含んで構成される。

まず、通信制御部J・D・Jから回線アダプタ1A'を介してデータを送信する送信動作について以下に説明する。

送信の場合は通常の通信制御部J・D・Jへのデー

タ送信要求は送信バッファレジスタ103が空のときに出力される送信側プログラム実行開始要求信号102の供給に応じて送信側プログラム実行要求信号201が出力される。この送信側プログラム実行要求信号201を通信制御部CPUが検出すると、通信制御部CPU内の伝送制御プログラムが走行を開始して、データ転送命令(SEND命令)で送信バッファレジスタ103に並列送信データ101が転送される。この並列送信データ101が送信側シフトレジスタ104にセットされたことにより送信側プログラム実行要求信号102がリセットされる。また、並列送信データ101は、回線送出データとしてピット直列に回線に出力される。

その後、通信制御部CPUで走行している伝送制御プログラムは一連の処理が完了するとプログラム停止命令(WAIT命令)で1キャラクタ転送終了となる。

この繰り返しにより並列送信データ101は通信制御部CPUから回線アダプタLA'に送られ

ム処理に移り、その回線の処理が終了後に送信側プログラム実行要求信号201で、該回線のプログラムは再スタートされる。またない場合にも該回線の送信側プログラム実行要求信号201でプログラムは再スタートされる。

送信側プログラム再開要求信号203を発生する処のフリップフロップ204は該回線のプログラムがWAIT命令を実行するとリセットされる。

次に、データが回線アダプタLA'を介して通信制御部CPUに受信される場合について受信動作を説明する。

受信側の場合も同様にシフトレジスタ107に受信された回線受信直列データ106を介して受信バッファレジスタ108に並列受信データ110が蓄えられると受信側プログラム実行開始要求信号109が出力され、これがオア回路212を経由して、通信制御部CPUに対して並列受信データ110を引き取るための受信側プログラム実行要求信号209が出力される。通信制御部CPUのプログラムが並列受信データ110を引き取る

る。

ここで、もしこの伝送制御プログラムの途中で通信制御部CPU内のクロック計数回路によるタイムアウト信号206が発生すると、通信制御部CPUからタイムアウト信号206が回線アダプタLA'に送られず。回線アダプタLA'の再起動要求回路111に供給されたタイムアウト信号206はタイムアウト検出回路207で自分の回線に対するタイムアウトか否かを検出し、もし自分の回線であれば送信タイムアウト信号205を出し、これでフリップフロップ204をセットしこのフリップフロップ204の出力である送信側プログラム再開要求信号203で、再度通信制御部CPUに対して、オア回路202を介して送信側プログラム実行要求信号201を出力する。

一方、通信制御部CPU内の伝送制御プログラムはタイムアウト信号206の発生と同時に該回線のプログラムを一旦停止し、該回線より優先順位の高い回線からのプログラム実行要求があるか否かを調べ、もしある場合はその回線のプログラ

ムと受信側プログラム実行要求信号209はリセットされる。

この繰り返し中に、プログラム停止によるタイムアウト信号206が出力されるとタイムアウト検出回路207から受信タイムアウト検出信号208が出てフリップフロップ210をセットする。フリップフロップ210から出力される受信側プログラム再開要求信号211にて受信側の回線に対する受信側プログラム実行要求信号209が通信制御部CPUに対して出力される。

本発明の回線アダプタは再起動要求回路を追加することにより送信ならびに受信のための伝送制御プログラムの中断および再開を行なわせることができるため、時分割処理を可能にできるという効果がある。

すなわち本発明の回線アダプタは、クロック計数回路による時分割可能な通信制御部に接続すれば、1回線が連続して占有するデータ処理時間を絶対時間によって制限することができ、異種伝送制御手順および異種通信速度の回線を混在収容で

き、システムの適応性および融通性を増すことができるという効果がある。

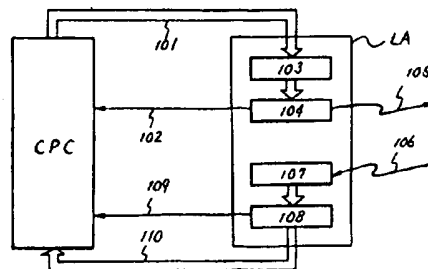
図面の簡単な説明

第1図は従来の一例を含むシステム構成図、第2図は本発明の一例態例を含む構成図、第3図は第2図に示す再起要求回路の詳細ブロック図である。

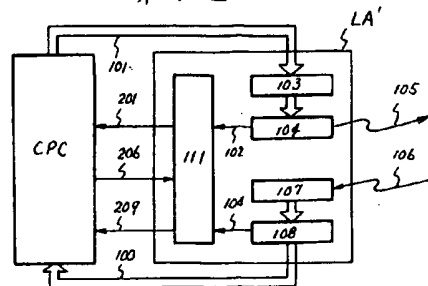
101……並列送信データ、102……送信側プログラム実行開始要求信号、103……送信バッファレジスタ、104……送信側シフトレジスタ、105……回線送出データ、106……回線受信直列データ、107……受信側シフトレジスタ、108……受信バッファレジスタ、109……受信側プログラム実行開始要求信号、110……並列受信データ、111……再起動要求回路、201……送信側プログラム実行要求信号、202、212……オア回路、204、210……フリップフロップ、207……タイムアウト検出回路、206……タイムアウト信号、205……送信タ

イムアウト検出信号、203……送信側プログラム再開要求信号、208……受信タイムアウト検出信号、209……受信側プログラム実行要求信号、211……受信側プログラム再開要求信号。

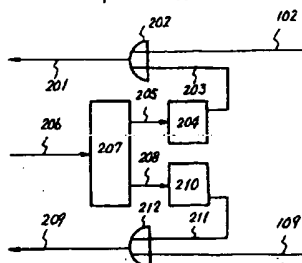
代理人 弁理士 内 原 普



第1図



第2図



第3図